

## CMT2110B/CMT2117B原理图及PCB版图设计指南

## 1. 概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单发射芯片 CMT2110B/CMT2117B 进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期望帮助用户快速实现应用所需要的性能指标：如改善发射功率与效率、降低系统成本和减少杂散辐射等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

产品型号	工作频率 (MHz)	调制方式	主要功能	最大输出功率	封装
CMT2110B	312 - 480	OOK	单发射	+13 dBm	SOT23-6
CMT2117B	624 - 960	OOK	单发射	+13 dBm	SOT23-6

本应用文档从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单发射芯片 CMT2110B/CMT2117B 的应用注意事项：

- 应用电路设计
- 电路版图设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计
- 设计检查项

## 目录

1. 概要 .....	1
2. 应用电路设计 .....	3
2.1 典型应用电路 .....	3
2.2 满足 ETSI/FCC 认证的应用电路 .....	4
3. 版图设计 .....	5
4. 晶体电路设计 .....	6
5. 数字信号设计 .....	6
6. 电源及地设计 .....	6
6.1 电源滤波电路设计 .....	6
6.2 铺地设计 .....	6
7. 设计检查项 .....	8
8. 文档变更记录 .....	9
9. 联系方式 .....	10

## 2. 应用电路设计

CMT2110B/17B 为单线数据输入单端射频输出的直通射频发射机。芯片简单易用，电路的设计重点在于匹配射频阻抗使得 PA 输出功率高且整机效率高。对于有安规认证要求的产品，为了减小谐波和杂散，需要增加插入损耗小、带外衰减大的滤波网络。

### 2.1 典型应用电路

下图中的典型应用匹配网络着重于使输出功率最大而不在于优化谐波和杂散。用 3 阶网络来完成天线到 RFO 端口的阻抗匹配。元件少成本最低。

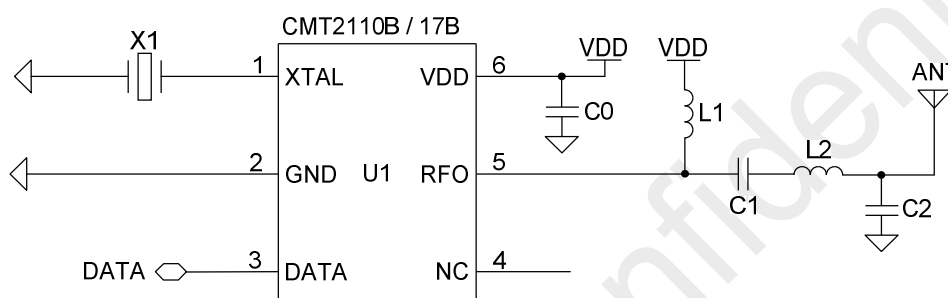


图 1. CMT2110B/17B 典型应用原理图

说明如下：

1. L1 是扼流电感。
2. C0 是电源退耦电容，用于减少 PA 输出和供电电源对芯片的影响。
3. C1 是隔直电容。
4. L2, C2 构成匹配网络。
5. ANT 为 50 欧姆天线。

表 2. CMT2110B/17B 典型应用物料清单

标号	描述	元件值		单位	供应商
		433.92 MHz <sup>[1]</sup>	868.35 MHz <sup>[2]</sup>		
U1	CMT2110/17B, OOK 发射机	-		-	CMOSTEK
X1	±20 ppm, SMD32*25 mm 晶体	26.2982	26.3136	MHz	EPSON
C0	±20%, 0402 X7R, 25 V	0.1		uF	
C1	±5%, 0402 NP0, 50 V	68	56	pF	
C2	±5%, 0402 NP0, 50 V	2.2	5.6	pF	
L1	±5%, 0603 叠层贴片电感	180	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	27	7.5	nH	Sunlord
<b>Note:</b>					
[1]. 仅 CMT2110B 支持 433.92 MHz 的应用。					
[2]. 仅 CMT2117B 支持 868.35 MHz 的应用。					

在很多产品应用中，比较常用有两种天线：1/4 波长的单极子天线（PCB 天线，导线天线等）和 PCB Loop 天线。受产品尺寸，PCB 布板和壳体等因素影响，不好仿真和测量出实际天线的阻抗，而采购到标称电感电容规格有限；建议在不确定天线阻抗情况下，如图一的 L2, C2 后面预留多一级同样 LC 网络，使得调试阻抗匹配参数时更加灵活，和取得满意的输出功率。

## 2.2 满足 ETSI/FCC 认证的应用电路

ETSI/FCC/3C 等标准对辐射和杂散有严格要求，CMOSTEK 推荐用 5 到 7 阶低通滤波网络进行匹配，如下图所示。

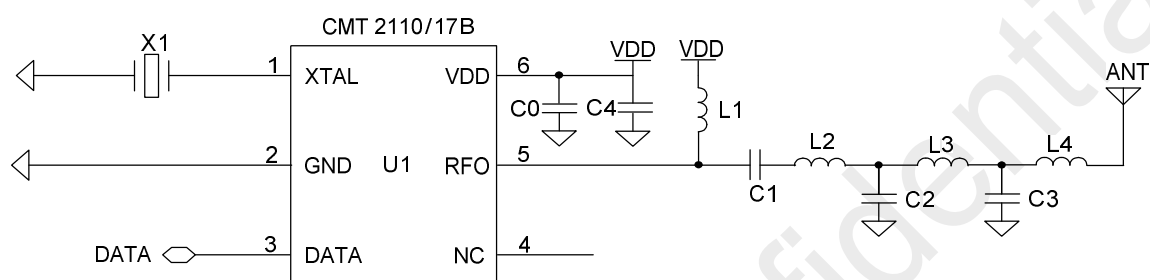


图 2. CMT2110B/17B 满足 ETSI/FCC 的应用原理图

说明如下：

1. L1 是扼流电感。
2. C0, C4 是电源退耦电容，用于减少 PA 输出和供电电源对芯片的影响。
3. C1 是隔直电容。
4. L2, C2, L3, C3 和 L4 是低通滤波匹配网络。
5. ANT 是 SMA 连接器，本例采用 50 欧姆天线。

表 3. CMT2110B/17B 满足 ETSI/FCC 认证的物料清单

标号	描述	元件值		单位	供应商
		433.92 MHz <sup>[1]</sup>	868.35 MHz <sup>[2]</sup>		
U1	CMT2110/17B, OOK 发射机	-		-	CMOSTEK
X1	±20ppm, SMD32*25 mm 晶体	26.2982	26.3136	MHz	EPSON
C0	±20%, 0402 X7R, 25V	0.1		uF	
C1	±5%, 0402 NP0, 50V	18	15	pF	
C2	±5%, 0402 NP0, 50V	4.3	4.3	pF	
C3	±5%, 0402 NP0, 50V	4.3	2.2	pF	
C4	±5%, 0402 NP0, 50V	220	220	pF	
L1	±5%, 0603 叠层贴片电感	180	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	51	12	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	47	15	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	36	15	nH	Sunlord

**Note:**

[1]. 仅 CMT2110B 支持 433.92 MHz 的应用。

[2]. 仅 CMT2117B 支持 868.35 MHz 的应用。

### 3. 版图设计

本文档以 CMT2110B/17B-EM 的原理图（见图 2）和 PCB Layout 为例来描述应用设计时的注意事项。CMT2110B/17B-EM 为两层布线设计，正反面 Layout 如下图所示。

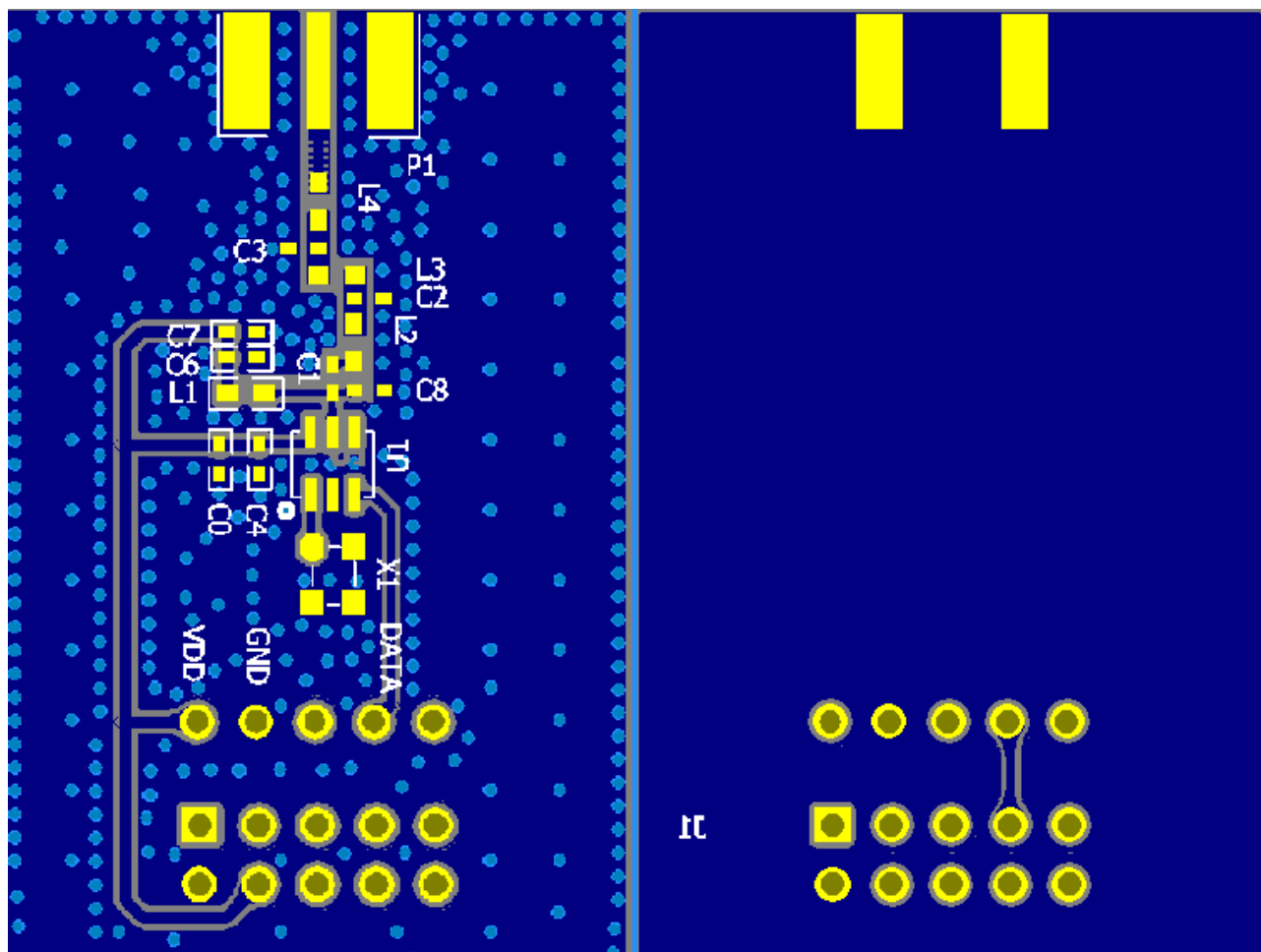


图 3. CMT2110B/17B-EM 的 PCB 版图

说明如下：

1. 射频信号路径尽量直且短，减小射频信号输入与输出的损耗。
2. 射频走线应该尽量平整，以减小传输线上的阻抗波动而产生反射。在上图中 L2 到 P1 间走线为  $50\ \Omega$  阻抗传输线。本参考设计中，双面板为 FR4 板材，介电常数  $\epsilon_r = 4.6$ ，铜皮厚 1 oz，PCB 板厚 0.8 mm，当取传输线宽度为 1 mm 左右，且传输线与包地（GND）的间隙设定为 0.35 mm 时，就可得到阻抗为 50 欧姆的传输线。
3. 尽量不要有丝印落在射频路径上，丝印会影响传输线阻抗。
4. L1 离 PA 管脚尽量近。相邻电感尽量正交摆放，这样做可以减少相互耦合。
5. 射频通路，晶振电路和 IC 的下方相邻层要有完整的铺地（GND）。

## 4. 晶体电路设计

推荐选用下表所示晶体规格。

表 4. 晶体规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 <sup>[1]</sup>	$F_{XTAL}$			-		MHz
晶体频率精度 <sup>[2]</sup>				±20		ppm
负载电容	$C_{LOAD}$			22		pF
晶体等效电阻	$R_m$				60	$\Omega$
晶体起振时间 <sup>[3]</sup>	$t_{XTAL}$			400		us
<b>备注:</b> [1]. 支持用外部时钟源通过耦合电容直接驱动 XTAL 管脚。请注意限制该信号幅度在 0.3 到 0.7 V 之间。 [2]. 此处指所有的频率精度的容差, 包括 (1) 初始容差; (2) 晶体负载; (3) 老化; 和 (4) 温度变化。 [3]. 此参数与所用晶体本身的有很大关系。						

### 注意事项:

1. 晶体应该尽量靠近 IC, 以减少走线寄生电容, 降低频率偏差。
2. 晶体应尽可能远离 PA 输出, 天线及数字走线, 并在其周围尽可能多铺地。这些能有效的降低晶体被干扰。
3. 如采用 49S 插件晶体, 或者柱状晶体等, 晶体的金属外壳要接地。

## 5. 数字信号设计

数字信号 DATA 走线注意事项如下:

1. 数字信号应尽可能用地围起来, 以减少相互串扰。
2. 数字信号应尽量远离晶体和 RF 走线。

## 6. 电源及地设计

### 6.1 电源滤波电路设计

为了减轻电源上的噪声纹波对芯片的影响, 及 PA 输出对电源的影响, 退耦电容靠近芯片的 VDD 管脚和扼流电感处。

### 6.2 铺地设计

铺地对提高射频性能，提高可靠性等很关键，注意如下：

1. 参考地层：射频走线需要在相邻层有大片的连续地做参考平面，以实现高效的功率输出。
2. 射频走线两侧包地并打过孔到参考地平面以减小杂散辐射。
3. 各层地网络打过孔到参考地层，减小回路路径，从而使回路的辐射减少。
4. 线路板边沿尽量铺地，且过孔间距不超过  $\lambda/10$ ，从而减小辐射和增强抗 ESD 能力。
5. 晶体电路对干扰敏感，用包地隔离。

CMOSTEK Confidential

## 7. 设计检查项

表 5. 设计检查项

射频设计	
<input type="checkbox"/>	滤波电容是否已经尽量靠近芯片的电源管脚。
<input type="checkbox"/>	扼流电感 是否已经尽量靠近 PA 管脚。
<input type="checkbox"/>	相邻的电感是否已经避免摆成同样的方向。
<input type="checkbox"/>	射频信号路径是否尽量短。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小。
<input type="checkbox"/>	整个匹配网络是否已经尽量靠近芯片。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上有丝印。
<input type="checkbox"/>	射频走线及周围的铺地是否平整。
<input type="checkbox"/>	单极子天线长度是否接近 $\lambda/4$ 。
<input type="checkbox"/>	PCB 天线宽度是否超过 1 mm。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近 xtal 脚。
<input type="checkbox"/>	晶体是否已经尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地隔离。
<input type="checkbox"/>	晶体的金属外壳是否已经接地。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离晶体和 RF 走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来。
地设计	
<input type="checkbox"/>	是否已经尽量用大片的连续地。
<input type="checkbox"/>	地的走线是否已经使得电流环路尽可能最小。
<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $\lambda/10$ 的过孔。



## 8. 文档变更记录

表 6. 文档变更记录表

版本号	章节	变更描述	日期
0.8	所有	初始版本发布	2017-09-12

CMOSTEK Confidential

## 9. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区前海路鸿海大厦 203 室

邮编: 518000

电话: +86 - 755 - 83235017

传真: +86 - 755 - 82761326

销售: [sales@cmostek.com](mailto:sales@cmostek.com)

技术支持: [support@cmostek.com](mailto:support@cmostek.com)

网址: [www.cmostek.com](http://www.cmostek.com)

**Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.**

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.