

CMT215xx单发射芯片原理图及PCB版图设计指南

概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单发射芯片进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期帮助用户快速实现应用所需的性能指标：如输出功率，发射电流，杂散和谐波抑制等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

| 产品型号 | 频率(MHz) | 调制方式 | 主要功能 | 配置方式 | 封装 |
|----------|-----------|------------|-----------------|--------|-------|
| CMT2156A | 240 - 480 | OOK | 1 按键带编码发射带微能收集 | EEPROM | SOP14 |
| CMT2156B | 240 - 960 | OOK | 10 按键带编码发射带微能收集 | EEPROM | QFN16 |
| CMT2159A | 240 - 960 | (G)FSK/OOK | 1 按键带编码发射带微能收集 | EEPROM | SOP14 |

本文将从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单发射芯片的注意事项：

- 匹配网络
- 晶体电路
- 数字信号
- 电源及地设计
- 功耗优化考虑
- 消除残余电量，以防误触发
- 烧录测试口
- 设计检查项

目 录

| | |
|--------------------------------------|----|
| 1. 匹配网络设计 | 3 |
| 1.1 单端输出匹配电路设计 | 3 |
| 1.1.1 满足 ETSI/FCC/3C 认证的射频输出设计 | 5 |
| 1.1.2 典型应用原理图 | 7 |
| 1.1.3 单端射频输出的版图设计 | 11 |
| 2. 晶体电路设计 | 12 |
| 3. 数字信号设计 | 14 |
| 4. 电源及地设计 | 15 |
| 4.1 电源滤波电路设计 | 15 |
| 4.2 铺地设计 | 15 |
| 5. 功耗优化考虑 | 16 |
| 5.1 降低发射功率 | 16 |
| 5.2 优化匹配网络 | 17 |
| 5.3 提高发射数据率 | 17 |
| 5.4 控制 LED 的驱动电流 | 17 |
| 6. 消除残余电量，以防误触发 | 18 |
| 7. 烧录端口 | 18 |
| 8. 设计检查项 | 19 |
| 9. 文档变更记录 | 21 |
| 10. 联系方式 | 22 |

1. 匹配网络设计

匹配网络将芯片输出管脚阻抗变换到天线阻抗，以达到以下设计目标：

1. 使输出功率最大化。
2. 效率最大化，在满足输出功率要求的前提下，尽可能降低功耗。
3. 控制谐波和杂散，达到 ETSI, FCC 等规范要求。
4. 实现最低物料清单及系统成本等。

然而，受限于具体应用的产品结构、尺寸、材料等因素，上述目标有时难以在设计中同时达到最优。这时，用户需要根据需求的优先顺序，对其中部分指标做折中处理。

下面以 CMOSTEK EM 板为例，根据不同的应用及系统需求，分别讨论如何选择合适的匹配网络以使各项指标尽量达到最优。

1.1 单端输出匹配电路设计

单端射频输出的通用原理图如下图所示。

按照不同的应用需求，如：发射功率大小、成本要求、是否需要通过 CE/FCC 规范、单端还是差分输出等，图中的匹配网络可选择由 3 到 7 阶滤波器来实现。

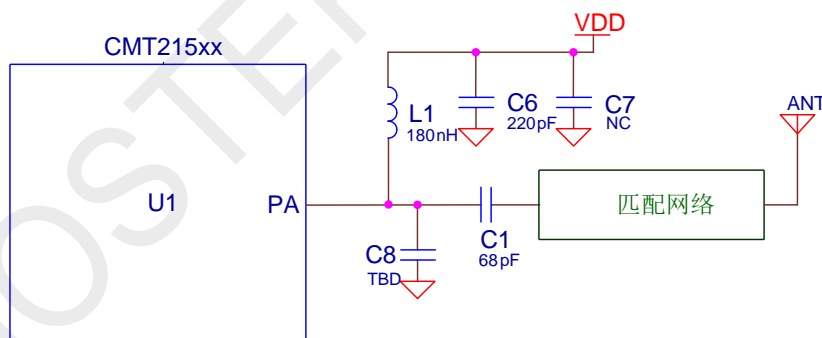


图 1. CMT215xx 单端输出电路设计

说明如下：

1. 上图暂不涉及射频输出以外的其他电路原理图。
2. L1 是取能（Chock，扼流）电感。
3. C6，用于减小 PA 输出对电源的影响。用户应根据使用环境适当选用。
4. C8 是可选电容，用于微调匹配网络。当匹配网络的性能达到要求的时候，C8 可以不焊。

5. C1 是隔直电容，同时与 L2 中的部分电抗形成谐振选频。
6. ANT 天线，CMOSTEK 提供的 DEMO 板用的是胶棒天线。实际应用中，用户可根据实际需要替换为 PCB 天线，导线天线或弹簧天线等其他类型的天线。需要注意的是，不同的天线会影响到匹配网络及各元件值的选取。由于天线种类繁多，为方便描述，本文以 50Ω 阻抗的胶棒天线为例介绍匹配网络。
7. 用户可通过 2 种方法来改变发射功率：
 - a) 通过 USB Programmer 和 RFPDK 设置 TX Power 参数改变芯片的发射功率。
 - b) 在取能电感和电源之间串一个电阻（图 1 中未示出），通过改变电阻值来调节发射功率。由于电阻的存在，这种方法会降低发射效率，所以我们推荐使用改变芯片发射功率设置的方法改变发射功率。
8. 匹配的的目的是将输出阻抗通过匹配网络匹配值天线阻抗，不同频率下 RFO 管脚的输出阻抗如下表所示。

表 2. 315/433.92/868.35/915 MHz RFO 管脚输出阻抗

| 频率 (MHz) | R _{INT} (Ω) | C _{INT} (pF) |
|----------|----------------------|-----------------------|
| 315 | 150 | 6.3 |
| 433.92 | 120 | 6.8 |
| 868 | 90 | 7.2 |
| 915 | 80 | 7.4 |

1.1.1 满足 ETSI/FCC/3C 认证的射频输出设计

ETSI/FCC/3C 等标准对辐射和杂散有严格要求，CMOSTEK 推荐使用 5 到 7 阶低通滤波网络进行匹配，如下图所示。

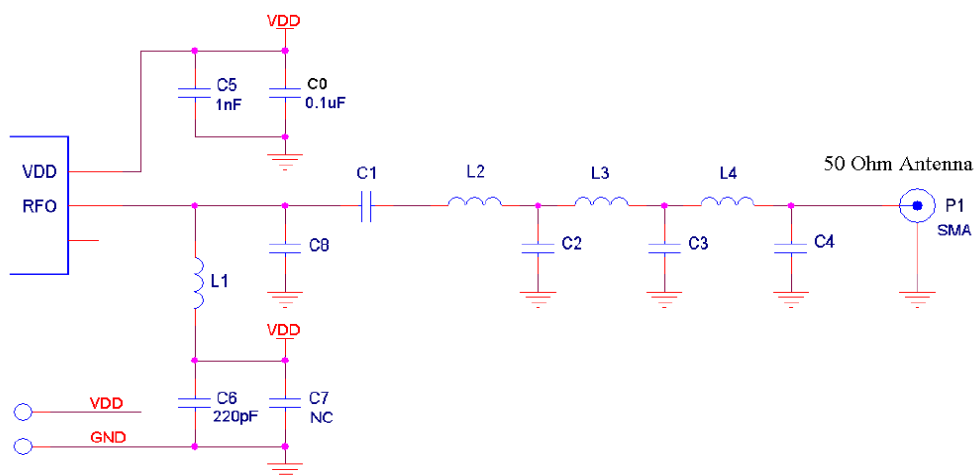


图 2. 满足 ETSI/FCC/3C 认证的低通滤波匹配网络

表 3. 满足 ETSI/FCC 认证的匹配网络元件值

| 产品型号 | 频段 (MHz) | L1 (nH) | C1 (pF) | L2 (nH) | C2 (pF) | L3 (nH) | C3 (pF) | L4 (nH) | C4 (pF) | 备注 |
|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|----------------|
| CMT215xA | 315 | 180 | 30 | 47 | 8.2 | 47 | 8.2 | 56 | - | FCC 标准 |
| | 433 | 180 | 30 | 18 | 12 | 10 | 10 | 220 | - | 3C/FCC/ETSI 标准 |
| | 868 | 100 | 8.2 | 6.8 | 5.6 | 10P | NC | 100 | - | ETSI 标准 |
| | 915 | 100 | 8.2 | 5.6 | 3.9 | 8.2P | NC | 100 | - | FCC 标准 |
| CMT2156B | 315 | 220 | 33 | 75 | 3.6 | 75 | 5.6 | 56 | - | FCC 标准 |
| | 433 | 180 | 18 | 51 | 4.3 | 47 | 4.3 | 36 | - | 3C/FCC/ETSI 标准 |
| | 868 | 100 | 15 | 15 | 4.3 | 15 | 2.2 | 15 | - | ETSI 标准 |
| | 915 | 100 | 12 | 18 | 3.6 | 18 | 2.7 | 15 | - | FCC 标准 |

说明如下：

- 只有满足 3C 标准的 315 MHz 应用需要 7 阶滤波器。对其他应用, 5 阶滤波器即可满足认证要求。参考设计的 DEMO 板中为了统一设计, 5 阶滤波器中的 L4 可以通过以下方式处理：
 - 在实际设计中无需预留 L4 的焊盘。
 - 预留 L4 焊盘的设计可以用 330 pF/220 pF 连接, 也可以用 0 Ω 电阻短接或用传输线替代。
- DEMO 板中的匹配网络元件规格为：
 - 电容: $\pm 5\%$, 0402 NP0, 50 V。
 - 电感: $\pm 5\%$, 0603, $Q > 8 @ 10 \text{ MHz}$ 叠层电感。
- 对于不同阻抗的天线, 不同的外壳结构, 或者不同的 PCB 设计, 匹配网络的元件值可能会发生变化, 需要在具体应用条件下进行调试。

1.1.2 典型应用原理图

CMT215xA 典型应用原理图如下图所示。

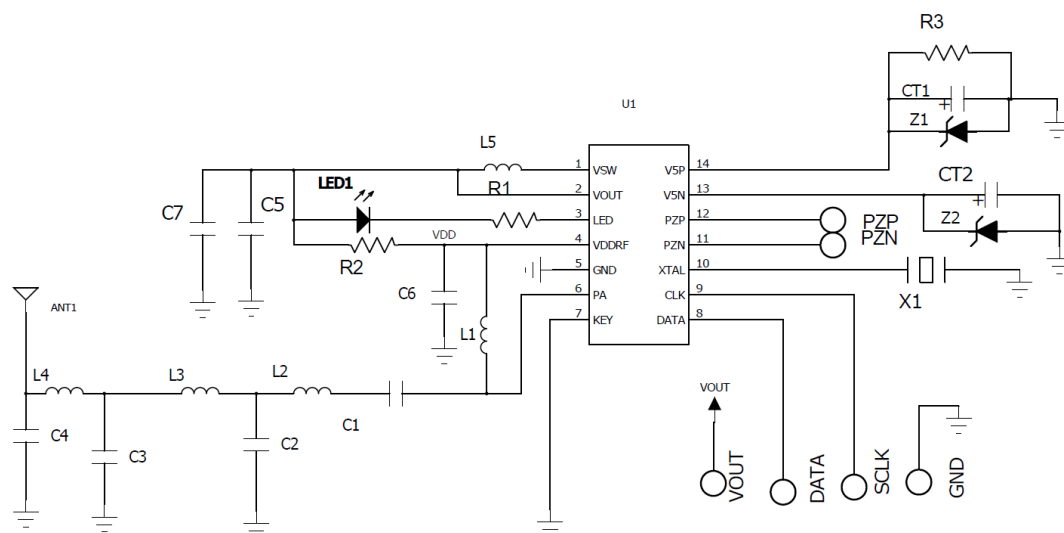


图 3. CMT215xA 典型应用原理图

表 4. 315/433.92 /868/915MHz 典型应用的 BOM (CMT215xA)

| 标号 | 说明 | 元件值 | | | | 单位 | 供应商 |
|----|----------------------------------|--------|--------|--------|--------|-----|--------------|
| | | 315MHz | 434MHz | 868MHz | 915MHz | | |
| U1 | CMT215xA 动能能量收集 OOK/FSK 编码发射器 | -- | | | | - | CMOSTEK |
| X1 | ±20 ppm, 晶体振荡器, 负载 电容 22pF | 26 | | | | MHz | EPSON |
| L1 | ±5%, 0603 叠层贴片电感 | 220 | 180 | 100 | 100 | nH | Murata QG18 |
| L2 | ±5%, 0603 叠层贴片电感 | 68 | 18 | 6.8 | 5.6 | nH | Murata QG18 |
| L3 | ±5%, 0603 叠层贴片电感 | 47 | 10 | 10pF | 8.2 | nH | Murata QG18 |
| L4 | ±5%, 0603 叠层贴片电感 | 56 | 220pF | 220pF | 220pF | nH | Murata QG18 |
| C1 | ±5%, 0402 NP0, 50V | 30 | 30 | 8.2 | 8.2 | pF | Murata GRM15 |
| C2 | ±0.25pF, 0402 NP0, 50V | 8.2 | 12 | 5.6 | 3.9 | pF | Murata GRM15 |
| C3 | ±0.25pF, 0402 NP0, 50V | 8.2 | 10 | NC | NC | pF | Murata GRM15 |
| C4 | ±5%, 0402 NP0, 50V | NC | NC | NC | NC | pF | Murata GRM15 |
| C5 | ±20%, 0603 X7R, 25 V | 1 | | | | uF | Murata GRM15 |
| C6 | ±20%, 0603 X7R, 25 V | 0.1 | | | | uF | Murata GRM15 |
| C7 | ±20%, 0603 X7R, 25 V | -- | | | | uF | Murata GRM15 |
| L0 | | 10 | | | | uH | |
| D1 | D0603, 红色 LED | - | | | | - | - |

| 标号 | 说明 | 元件值 | | | | 单位 | 供应商 |
|-----|-------------------|--------|--------|--------|--------|----|-----|
| | | 315MHz | 434MHz | 868MHz | 915MHz | | |
| R1 | ±10%, 0402 / 0603 | 3.3 | | | | kΩ | |
| R2 | ±10%, 0402 / 0603 | 27 | | | | Ω | |
| R3 | ±10%, 0402 / 0603 | 33 | | | | kΩ | |
| CT1 | 滤波电容 | 47 | | | | uF | |
| CT2 | 滤波电容 | 100 | | | | uF | |
| Z1 | 稳压二极管 | 5.1 | | | | V | |
| K1 | 按键 | | | | | - | - |

应用注意事项:

1. 开发和生产过程中的 EEPROM 烧录需要用到连接器 J1。
2. 通用版图准则如下:
 - 1) 尽量用大片的连续地做铺地设计。
 - 2) 尽量多用接地过孔(特别是 GND 管脚附近)以减小 GND 管脚与铺地之间的串联寄生电感。
 - 3) 尽量避免用长和/或细的传输线来连接各个元件。
 - 4) 相邻的电感要相互垂直摆放以减少相互耦合。
 - 5) C5 和 C6 尽量靠近 CMT215xA 以实现更好的滤波效果。
 - 6) 晶体 X1 尽量靠近芯片, 金属外壳接地, 远离射频输出信号和数字信号。
 - 7) CT1 与 CT2 电容可用电解电容与钽电容, 要求耐压 15 V 以上, 电容的大小与电机的产生电量有关(对大于 400 uJ 的电机, 推荐使用 CT2:100 uF, CT1:47 uF; 对大于 200 uJ 小于 400 uJ 的电机, 推荐使用 CT2:68 uF, CT1:47 uF; 对大于 100 uJ 小于 200 uJ 的电机, 推荐使用 CT2:47 uF, CT1:22 uF)。
 - 8) R3 电阻的功能主要在于释放 Power down 时电路中的电容与电感所存的电荷, 使芯片能正常进行 Power up。R3 电阻值的大小视电路中的电荷多少而定, 不加 R3 电阻或 R3 电阻值加得太大, 可能按下电机时会误触发芯片进入发射状态或导致上电不成功、无发射。
 - 9) 芯片下面尽量不要走线, 只能走地线。

| | | | | |
|--------|-------------------|-----|----|---|
| L0 | | 10 | uH | |
| D1 | D0603, 红色 LED | - | - | - |
| R1 | ±10%, 0402 / 0603 | 3.3 | kΩ | |
| R2 | ±10%, 0402 / 0603 | 27 | Ω | |
| R3 | ±10%, 0402 / 0603 | 33 | kΩ | |
| CT1 | 滤波电容 | 47 | uF | |
| CT2 | 滤波电容 | 100 | uF | |
| Z1 | 稳压二极管 | 5.1 | V | |
| K1-K10 | 按键 | | - | - |

应用注意事项:

1. 开发和生产过程中的 EEPROM 烧录需要用到连接器 J1。
2. 通用版图准则如下文所示:
 - 1) 尽量用大片的连续地做铺地设计。
 - 2) 尽量多用接地过孔(特别是 GND 管脚附近)以减小 GND 管脚与铺地之间的串联寄生电感。
 - 3) 尽量避免用长和/或细的传输线来连接各个元件。
 - 4) 相邻的电感要相互垂直摆放以减少相互耦合。
 - 5) C5 和 C6 尽量靠近 CMT2156B 以实现更好的滤波效果。
 - 6) 晶体 X1 尽量靠近芯片, 金属外壳接地, 远离射频输出信号和数字信号。
 - 7) CT1 与 CT2 电容可用电解电容与钽电容, 要求耐压 15 V 以上, 电容的大小与电机的产生电量有关(对大于 400 uJ 的电机, 推荐使用 CT2:100 uF, CT1:47 uF; 对大于 200 uJ 小于 400uJ 的电机, 推荐使用 CT2:68 uF, CT1:47 uF; 对大于 100 uJ 小于 200 uJ 的电机, 推荐使用 CT2:47 uF, CT1:22 uF)。
 - 8) R3 电阻的功能, 主要放掉在 Power down 时的电路中的电容与电感所存的电荷, 使芯片能正常的 Power up,R3 电阻值的大小, 视电路中的电荷的多少来确定 R3 值的大小, 不加 R3 电阻或 R3 电阻值加得太大, 可能按下电机时会误触发芯片进入发射状态或导致上电不成功、无发射。
 - 9) 芯片下面尽量不要走线, 只能走地线。

1.1.3 单端射频输出的版图设计

以 CMT215xA-EM 为例，单端射频输出部分的版图如下图所示。

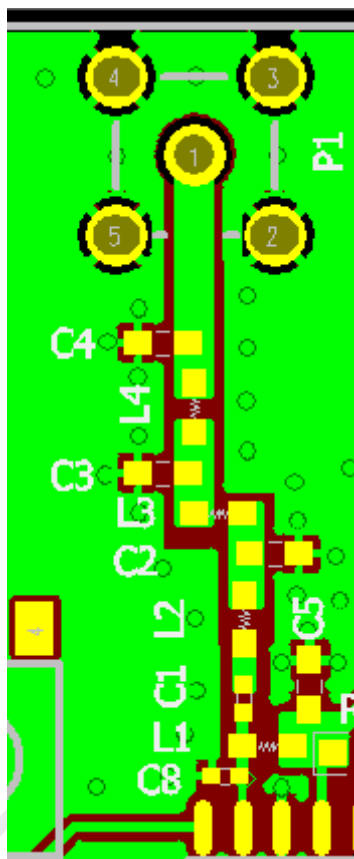


图 5. 单端射频输出的版图设计参考

说明如下：

1. 保持射频信号路径尽可能的直并且尽可能短，以减小射频信号的损失。
2. 相邻电感避免摆成一条线，以防止相互之间产生耦合。
3. L1 离 RFO 管脚尽量近。
4. 整个匹配网络尽量靠近发射芯片。
5. 由于芯片管脚 RFO 输出阻抗较高，参考设计中 RFO 到 L2 之间用的是 0.2 mm 宽的传输线；SMA 连接器连接着 50Ω 的天线，在 L2 之后需要用宽度为 1 mm 传输线。
6. 尽量不要在射频器件及走线上布丝印，厚重的丝印会影响 PCB 的介电常数和射频输出阻抗。
7. 铺地和射频走线应该尽量平整，以减小传输线上的阻抗波动。

8. 芯片下面尽可能的铺地，尽量不要走线。
9. $1/4$ 波长 ($\lambda/4$) 的单极子天线是一种很常用的天线。一个有效的半波长 ($\lambda/2$) 天线，一半由一个 $1/4$ 波长的天线组成，另一半由等效于另一个 $1/4$ 波长天线的地平面组成。所以，对于单极子天线的设计而言，性能的好坏取决于铺地的面积。考虑不同的成本，性能，上市时间等因素，用户可以选择不同类型的单极子天线。比如说 PCB 天线，贴片天线，胶棒天线，导线天线等。在本参考设计中，P1 是一个连接天线用的 SMA 连接器，连接器连接的是一个阻抗为 50Ω 的胶棒天线，以使参考设计达到最佳性能。
10. 如果用户采用 PCB Loop 天线，参考版图如上图所示，设计注意事项如下。
 - a) PCB 天线要尽量离地远些，线宽至少大于 1mm 。其目的是减少分布参数并提高辐射效率。
 - b) PCB Loop 天线走线走完整的一圈，使天线的辐射面积尽可能大（此项主要适用 PCB 面积小的天线设计）。
 - c) 晶体的走线尽量靠近 XTAL 管脚，同时尽量远离天线，以免产生杂散及自激。
 - d) 天线末端设计一个可选对地电容（图 2 中的 C9）的位置，以便优化发射功率。

2. 晶体电路设计

CMT215xA/2156B 产品支持单端晶体设计。晶体负载电容集成在芯片，无需额外的负载电容。推荐选用下表所示晶体规格。

表 4. 晶体规格^[1]

| 参数 | 符号 | 条件 | 最小 | 典型 | 最大 | 单位 |
|-----------------------|-------------------|----|----|----------|----|----------|
| 晶体频率 | F_{XTAL} | | 26 | 26 | 26 | MHz |
| 晶体频率精度 ^[2] | | | | ± 20 | | ppm |
| 负载电容 ^[3] | C_{LOAD} | | 12 | 15 | 20 | pF |
| 晶体等效电阻 | R_m | | | | 60 | Ω |
| 晶体起振时间 ^[4] | t_{XTAL} | | | 400 | | us |

备注:

[1]. CMT215xA/56B 支持用外部 26 MHz 时钟源通过耦合电容直接驱动 XTAL 管脚。请注意控制使该管脚峰峰值幅度在 0.3 到 0.7 V 之间。

[2]. 此处指所有的频率精度的容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。可接受的晶体频率容差取决于用户产品通讯系统的要求，如频率，信道，带宽等。

[3]. 所需的晶体负载电容集成于芯片内，以减少片外元件数量。

[4]. 此参数与所用晶体有很大关系。

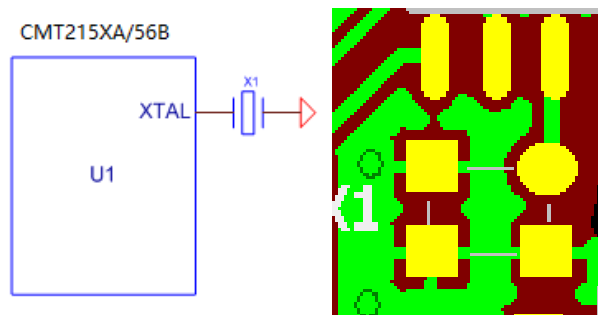


图 6. 单端晶体的原理图（左）及版图（右）设计

说明如下：

1. 晶体应该尽量靠近 CMT215xA/56B，以减少走线寄生电容。这可以有效降低频率偏差的可能。
2. 晶体应尽可能远离 PA 输出、天线及数字走线，并在其周围尽可能多铺地。这样可有效降低晶体被 PA 输出干扰的可能。
3. 晶体的金属外壳接地（比如说 49S 插件晶体或者柱晶等）。
4. 晶体负载电容集成在芯片内，默认为 15 pF，片外无需外挂负载电容，用户可以直接选用频率为 26 MHz，负载电容为 15pF 的晶体。为了安全起见，建议用户在 PCB 上预留测试点，方便在线修改芯片参数。

3. 数字信号设计

数字信号（包括 DATA 和 CLK）的走线注意事项如下：

1. 数字信号应尽量远离 XTAL 和 RF 走线。
2. 数字信号应尽可能用铺地围起来，以减少相互串扰。

CMOSTEK Confidential

4. 电源及地设计

4.1 电源滤波电路设计

为了减轻电源上的噪声/纹波对芯片的影响，及 PA 输出对电源的影响，用户应当在芯片的 VDDRF 管脚处（C6）设计滤波电容。如下图所示。

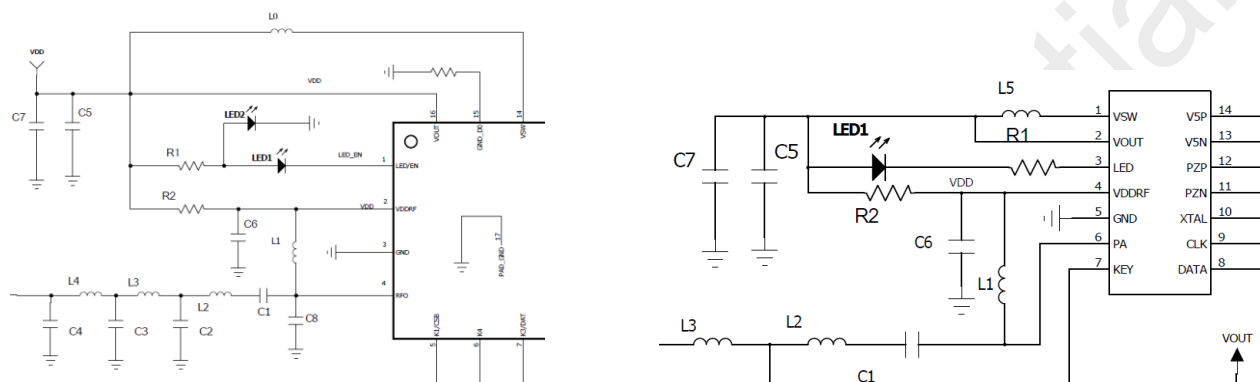


图 7. VDD 及射频输出滤波电容设计

版图设计注意事项：

C6 在版图上尽量靠近取能电感 L1。

4.2 铺地设计

1. 尽量用大片的连续地做铺地设计。
2. 地的走线使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
3. 芯片底部尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。
4. PCB 边沿尽量多打间距不超过 $M/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。

5. 功耗优化考虑

在对功耗要求比较严格的发射应用中，CMT215xA/56B 提供了多种不同的方法来满足不同应用场景的需求。具体包括：

1. 降低发射功率。
2. 优化匹配网络。
3. 提高发射数据率。
4. 控制 LED 驱动电流。

5.1 降低发射功率

通过在 RFPDK 上面设置较小的发射功率值能有效而直接地降低芯片功耗，当然随之而来的是发射功率的降低，传输距离的减少。所以这是直接在功耗与距离上的折中，用户需要确认降低功耗后的传输距离还能满足系统要求，或者通过其他方式优化功耗或者距离。

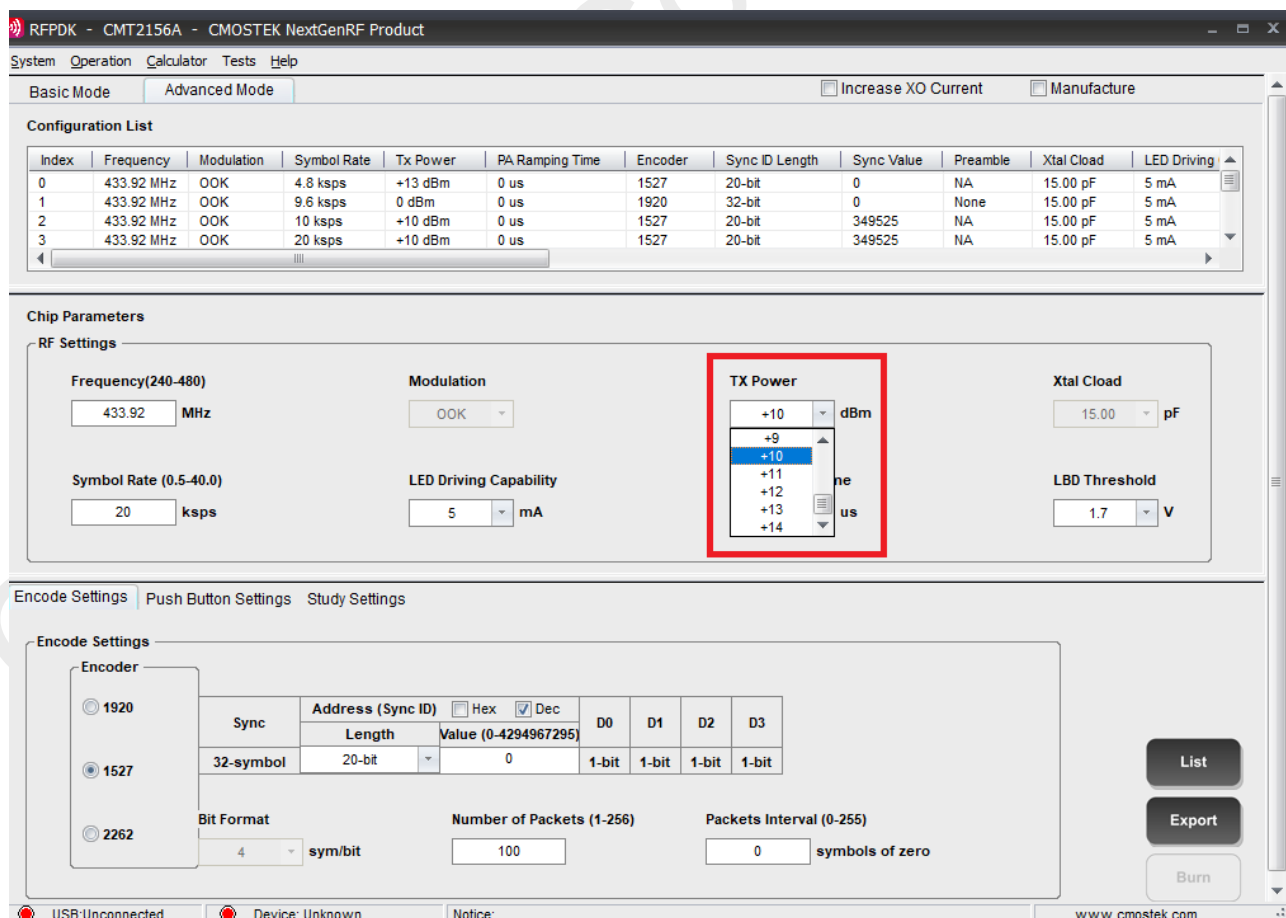


图 8. 通过 RFPDK 配置改变芯片发射功率

值得注意的是，通过在取能电感上串接一个限流电阻的方法改变发射功率是不能有效降低芯片功耗的。所以推荐使用改变芯片设置的方法改变发射功率。

5.2 优化匹配网络

匹配网络的目的是把输出阻抗匹配到天线的阻抗上，不当的阻抗会降低发射效率，浪费功耗。根据不同的天线，用户应该借助网络分析仪等工具和手段，设计一套对于具体应用来说较优化的匹配网络，以达到提高发射效率，优化功率的目的。

另外，值得注意的是，降低匹配网络滤波器的阶数，也可以一定程度上提高发射效率，降低功耗。但是滤波器阶数的降低，带来的是对谐波抑制的减弱，所以这种方法适用于对谐波辐射要求不高的应用场合。

5.3 提高发射数据率

在同样包间隔的前提下，提高发射数据率可以缩短发射包的时间，从而降低平均功耗。

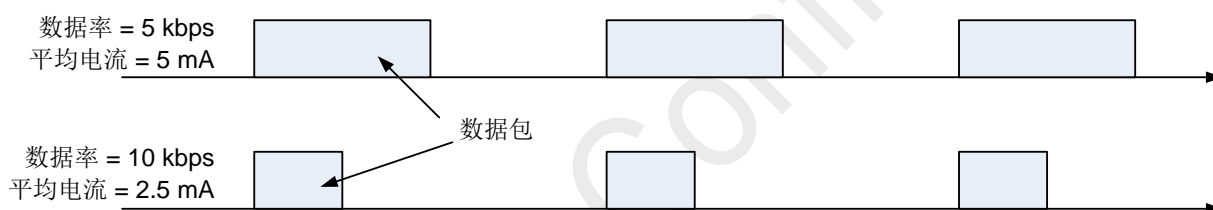


图 2. 提高数据率来降低平均功耗

值得注意的是，数据率的提高可能会降低接收灵敏度，进而影响传输距离。

5.4 控制 LED 的驱动电流

CMT215xA 可以直接驱动 LED 以指示发射状态或者低电压状态。在 LED 与 VDD 之间串联限流电阻，在可接受的亮度条件下尽可能的降低由驱动 LED 消耗的电流。

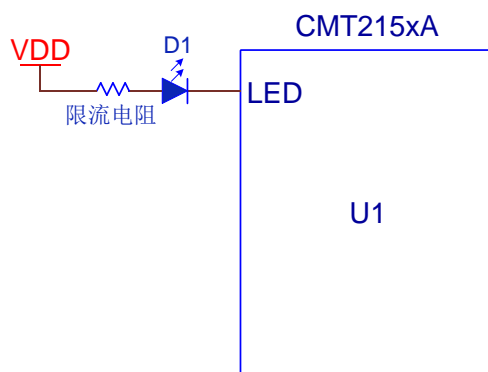


图 9. 控制 LED 的驱动电流

注意，RFPDK 上面有一个参数叫“LED Driving Capability”，这个参数只是限制了最大驱动能力，在这个驱动能力以下的驱动电流，它并不能很好的控制，所以还是需要通过限流电阻来控制驱动电流。

6. 消除残余电量，以防误触发

CMT215xA/56B 系列产品的一个特点是可以对外面的微能量进行收集。当收集一定的能量时，芯片会自动进行发射，当电压低于 1.7 V 时，芯片就会停止发射。由于芯片在 sleep 状态时功耗很低，电容与电感上的电泄放得很慢，当有数据发射时，影响严重时会导致芯片不能正常 powerup、芯片不工作；影响较轻时会造成芯片在能量收集时产生错误的发射，即由于能量不够多，使发射的数据包不完整，或者发射的包数较少。所以在 V5P 脚上加一个 R3 电阻用来泄放残余电荷，其大小由 L0 与电容的大小及每秒发射的次数确定。

7. 烧录端口

出于以下几点考虑，建议客户在 PCB 上增加测试点。

1. 生产时方便对芯片进行烧录，以改变芯片的功能。
2. 方便对芯片的配置进行读取，了解芯片的配置情况。

其中，不同的产品型号需要预留的测试点如下表所示。

表 7. 不同型号芯片预留测试管脚

| 型号 | 预留测试管脚 ^[1] |
|-----------------------------------|----------------------------------|
| CMT215xA | DATA, CLK, GND, V5P |
| CMT2156B | DATA, CLK, CSB, LED/EN, GND, V5P |
| 备注： 以上测试管脚 V5P 就是芯片的 VDD 的输入口。 | |

8. 设计检查项

用户可以通过下面的检查项对比实际设计中是否已经考虑了这些设计细节。

表 8. 设计检查项

| 单端射频输出设计 | |
|--------------------------|---|
| <input type="checkbox"/> | 射频信号路径是否尽量短，以减少射频信号的损失。 |
| <input type="checkbox"/> | 相邻的电感是否已经避免摆成同样的方向，以避免相互之间的耦合。 |
| <input type="checkbox"/> | 取能电感 L1 是否已经离 PA 管脚尽量近。 |
| <input type="checkbox"/> | 射频传输线的走线宽度是否已经考虑了阻抗大小（50Ω 左右的阻抗用 1mm 左右宽的传输线）。 |
| <input type="checkbox"/> | 整个匹配网络是否已经尽量靠近发射芯片。 |
| <input type="checkbox"/> | 是否已经尽量不要在射频器件及走线上布丝印。 |
| <input type="checkbox"/> | 铺地和射频走线是否已经尽量平整。 |
| <input type="checkbox"/> | 天线长度是否接近 $\lambda/4$ 。 |
| <input type="checkbox"/> | 晶体是否已经尽量远离天线。 |
| <input type="checkbox"/> | (PCB 天线)PCB 天线宽度是否超过 1 mm。 |
| <input type="checkbox"/> | (PCB Loop 天线)PCB 面积较小时，PCB 天线是否已经沿 PCB 外框走了完整的一圈，以提高辐射面积。 |
| <input type="checkbox"/> | (PCB Loop 天线)PCB 天线末端是否已经加上了可选对地电容。 |
| 晶体电路设计 | |
| <input type="checkbox"/> | 晶体是否已经尽量靠近 CMT215xA/56B，以减少走线寄生电容。这可以有效降低频率偏差的可能。 |
| <input type="checkbox"/> | 晶体是否已经尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地。这些能有效的降低晶体被 PA 输出干扰的可能。 |
| <input type="checkbox"/> | 晶体的金属外壳是否已经接地（比如说 49S 插件晶体，或者柱晶等）。 |
| 数字信号设计 | |
| <input type="checkbox"/> | 数字信号是否已经尽量远离 XTAL 和 RF 走线。 |
| <input type="checkbox"/> | 数字信号是否已经尽可能用铺地围起来，以减少相互串扰。 |
| 消除残余电量，以防误触发 | |
| <input type="checkbox"/> | R3 的泄放电阻有没有加，大小是否满足设计要求。 |
| 电源及地设计 | |
| <input type="checkbox"/> | VDD 滤波电容 C6 在版图上是否已经尽量靠近芯片的 VDD 管脚。 |
| <input type="checkbox"/> | 是否已经尽量用大片的连续地做铺地设计。 |

| | |
|--------------------------|---|
| <input type="checkbox"/> | 地的走线是否已经使得电流的回流路径环面积最小,以使从供电环路上向外辐射尽量减小。 |
| <input type="checkbox"/> | 芯片底部是否已经尽量多铺地,以减小对射频输出传输线阻抗连续性的影响,并增强 ESD 性能。 |
| <input type="checkbox"/> | PCB 边沿是否已经尽量多打间距不超过 $\lambda/10$ 的过孔,以减小 PCB 边沿的高次谐波辐射。 |
| 测试电路设计 | |
| <input type="checkbox"/> | PCB 设计是否已经预留了测试烧录点。 |

9. 文档变更记录

表 9. 文档变更记录表

| 版本号 | 章节 | 变更描述 | 日期 |
|-----|-------|----------------------|------------|
| 0.6 | 所有 | 初始版本发布 | 2020-07-01 |
| 0.7 | 1.1.2 | 表 4, 调整 R2 以及其他部分元件值 | 2020-09-07 |

CMOSTEK Confidential

10. 联系方式

无锡泽太微电子有限公司深圳分公司

深圳市南山区西丽街道万科云城 3 期 8 栋 A 座 30 楼

邮编: 518055

电话: +86 - 755 - 83231427

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.